实验五 脱机基本存储器部件实验

1. 实验目的
2. 了解存储器部件的字位扩展原理，使用存储器芯片构建存储器部件的技术；
3. 了解存储器部件的读写过程、控制其运行的方法和操作步骤。
4. 实验说明

存储器是计算机系统中承担存储程序和数据的部件，我们通过字位扩展技术，选用2片随机读写的ram6116和2片只读的rom58c65存储芯片，来构建字长16位的基本存储器部件，还另外设置了2个28脚的IC座，可以插接rom58c65或ram6116芯片，用于进一步扩展基本存储器的存储容量。

在完成存储器芯片读写实验的过程中已经看到，存储器可以执行读、写2种操作，每次的读、写都要用2段时间完成，会用到3个控制信号：读写命令mwe、片选信号mcs、使能信号moe。

在完成脱机的存储器部件实验时，存储器的地址和写入数据只能由开关经总线AB、DB提供，为此需要完成必要接线操作。读出数据只限于送到数据总线DB予以显示。

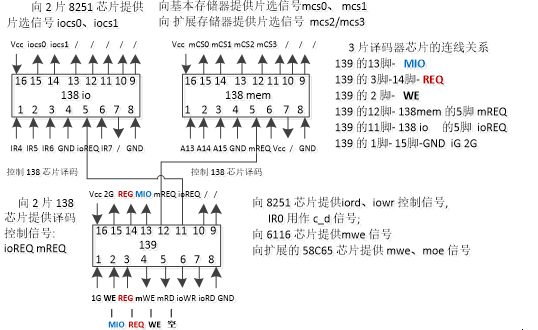
存储器芯片以及串口芯片的片选信号和读写命令由3片译码器电路（1片74LS139和2片74LS138）给出，它们之间的连接关系和各自的输入输出信号如图1所示。

图1 三片译码器芯片的连接关系及其输入输出信号

139芯片是双2-4译码器，其输入是MIO、REQ、WE，其译码输出是mREQ(要读写内存)、mWE(内存写)、mRD(内存)和ioREQ(要读写串口）、ioWR(串口写)、ioRD(串口)命令，都是低电平有效。若把MIO REQ WE三个信号组合在一起，即可表明如下5种操作功能：000:写内存，001:读内存，010:写串口，011:读串口，1××:不读写内存和串口。

在脱机存储器部件实验过程中，可以用3位开关提供MIO, REQ, WE信号，在脱机串口芯片实验过程中，改用中断按钮的一个输出INT5提供MIO信号更好一些。

两片138芯片是3-8译码器，通过译码产生存储器、串口的片选信号。

用于存储器的138芯片的输入是AB15~AB13和mREQ，输出是存储器的片选信号mcs0、mcs1、mcs2、mcs3，地址空间分别是十六进制的0000-1FFF、2000-27FF、4000-5FFF、6000-7FFF；用于串口的138的输入是IR6~IR4和ioREQ，输出的是串口芯片的片选信号iocs0、iocs1，分别对应十六进制的IO端口地址80（81）、90(91)。

存储器芯片的扩容方式：字扩展、位扩展、字位扩展

（1）位扩展：是指增加存储的字长，例如2片1K \* 4位的芯片，可以组成1K \* 8位的存储器。满足下列条件时，采用位扩展方式：

1. 只加长每个存储单元的字长，而不增加存储单元的数量
2. 芯片数 = 设计要求的存储器容量 / 选择芯片的存储器容量
3. 芯片之间采用并联的方式

例如：**利用1K×4位的SRAM芯片，设计一个存储容量为1K×8位的SRAM存储器，问：需要芯片，地址线，数据线的数量各为多少？**

分析：显然从1K X 4 位 ——>1k X 8位，字长不变，只是位长发生了变化。所以使用位扩展。所以，有：

（1）需要芯片数为：

（1K×8)/(1K×4)=2片

（2）需要地址线数为：

1k表明存储单元个数，1k = 2^10，说明有10根地址线。

（3）需要多少根数据线？

需要组成8位的存储器，8代表数据线的位数，每片芯片占4根线即可实现位扩展。

（2）字扩展：仅仅增加存储单元数，各单元位数不变。

例如：利用1K×8位的DRAM芯片，设计2K×8位的DRAM存储器（字扩展），问需要芯片，地址线，数据线的数量各为多少？

解析:显然从1K X 8 位 ——>2k X 8位,字数边长，位数不变，应该选字扩展。

（1）需要几片芯片？

d=（2K×8）/（1K×8）=2(片)

（2）需要多少地址线？

2K个存储单元对应11根地址线

（3）需要多少数据线？

8位，即8条

（3）字位扩展：这种方式是指既增加存储单元的数量又增加各单元的位数，字位同时扩展的时候，先进行位扩展，再进行字扩展。

例如：利用1K×4位的存储芯片，组成4K×8位的存储器。问需要芯片，地址线，数据线的数量各为多少？扩展过程如何？

解析：

（1）共需几块芯片：

（4K×8）/（1K×4）= 4×2=8

（2）需要几根地址线：

4K地址空间（存储单元的个数），需要12根地址线

（3）需要几根数据线：

8根。

（4）扩展过程：先进行位扩展，这个过程相当于分组，将2片1K×4位构成一组，利用位扩展，构成1K X 8位的完整存储单元。这样一共可以分成四组。再将这些分组视为一个完整的存储单元，进行字扩展。

1. 实验内容
2. 对基本存储器部件RAM区的数据读写实验；
3. 对基本存储器部件ROM区的指令读出实验；
4. 实验步骤
5. 连线说明

①连接16个拨数开关到地址总线AB，用于提供存储器的单元地址。

②连接16个拨数开关到数据总线DB，用于提供存储器的写入数据，对写操作，输入数据将被写入到存储器的选定单元；对于读操作，读出的数据将出现在数据总线DB并通过指示灯予以显示。

③连接3个开关到MIO、REQ、WE接线处（在139译码器芯片的下方），经过3片译码器芯片可以产生存储器和串口芯片读写的片选信号和控制信号。

在进行本实验时，需要使REG保持低电平（使用存储器，停用串行口），并使用MIO信号的高、低电平2个状态来区分一个存储周期的地址时间和数据时间。通常只能在地址时间使用开关向存储器拨入地址、写入数据和控制信号。存储器芯片的实际读写操作将在数据时间完成。读存储器的期间必须禁止送开关数据到DB。

④实验过程中，需要关闭MACH芯片、4片Am2901芯片、Am2910芯片和FPGA芯片的电源，系统要处于单步骤运行方式。

1. 读出并显示ROM存储区的指令内容

ROM存储区用于存储教学计算机的监控程序，仅支持读操作功能，不能执行写操作（芯片的WE和OE管脚已分别接+5V和GND），以防止破环监控程序的原有内容；

为了对ROM存储区执行读操作，需要在地址段用开关为芯片提供16位的地址和3位的控制信号（MIO, REQ, WE=1, 0, X），地址的最高3位取000（以便产生ROM芯片的片选信号mcs0），再拨入ROM芯片的13位地址；再拨开关使MIO为低电平则进入数据时间，芯片的读出内容就显示在DB的指示灯。

接下来可以在数据时间直接变动低13位的地址，选中单元的内容就会立刻显示在DB的指示灯，这是一种变通的操作方法，比正规的做法(在地址时间段拨开关，在数据时间执行读操作)更快捷一些。请思考为什么可以这样操作？在拨入低位地址的过程中，DB的指示灯会不断地变化，多次的显示信息可能不是你期望要观察的内容。

1. 读写RAM存储区的操作

RAM存储器能支持读和写的两种操作，为了避免或者减少误操作，对RAM区的每一次读写操作最好都用地址和数据两段时间来完成（MIO为高电平是地址时间，为低电平是数据时间。请注意，在读存储器期间必须禁止送开关数据到数据总线DB，这只需把存储器芯片的WE信号和拨数据到DB用到的2片244芯片的G信号连接到同一个开关的输出即可，使这两个信号总保持相同的值。

在读RAM存储区时，需要在地址时间段用开关向地址总线的AB15~AB13拨入0、0、1值(以便产生mcs1片选信号)和3位的控制信号（MIO、REQ、WE=1、0、1），再拨入RAM芯片的11位地址；然后切换到数据时间（为MIO拨入低电平）就能观察到芯片的读出内容。接下来可直接变动低11位地址来观察RAM不同存储单元的内容。

在写RAM存储区时，需要把16个数据开关的输出连接到数据总线DB，用于提供写存储器的写入数据。可靠的办法，是在地址时间段（MIO为高电平）拨入存储器的单元地址、写入的数据内容，以及3位的控制信号（MIO、REQ、WE=1、0、0），之后变更MIO为低电平(进入数据时间)，使存储器完成写操作；接着恢复MIO为高电平状态，进入下一次的数据写入过程，多次重复就可以把一批数据写入RAM存储区。之后再用读RAM存储区的方式检查此前的写入操作和正在执行读操作是否都正确执行。当然也可以通过每写完一个数据之后立即将其读出来的读写交替方式，来检查读、写操作的正确性。